

91年12月13日  
修正  
補充

## 公告本

Cite No. 12.

|                  |           |
|------------------|-----------|
| 申請日期: P1. 11. 13 | IPC分類     |
| 申請案號: P1133275   | H01L73/28 |

(以上各欄由本局填註)

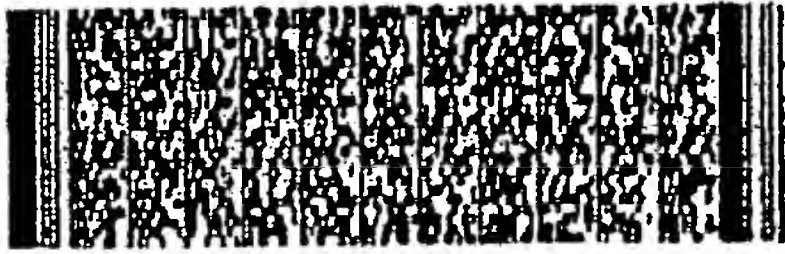
## 發明專利說明書

567598

|                    |                      |  |
|--------------------|----------------------|--|
| 一、<br>發明名稱         | 中文                   | 半導體晶片覆晶封裝構造  |
|                    | 英文                   | FLIP CHIP SEMICONDUCTOR PACKAGE  |
| 二、<br>發明人<br>(共4人) | 姓名<br>(中文)           | 1. 李士璋<br>2. 翁國良<br>3. 戴惟璋   |
|                    | 姓名<br>(英文)           | 1. Lee, Shih-Chang<br>2. Weng, Gwo-Liang<br>3. Tai, Wei-Chang  |
|                    | 國籍<br>(中英文)          | 1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW   |
|                    | 住居所<br>(中文)          | 1. 高雄縣大社鄉民治路43號<br>2. 高雄市苓雅區凱旋二路103巷52號<br>3. 高雄市苓雅區輔仁路195號  |
|                    | 住居所<br>(英文)          | 1. No. 43, Minj Rd., Dashe Shiang, Kaohsiung, Taiwan 815, R.O.C.<br>2. No. 52, Lane 103, Kaishiuan 2nd Rd., Lingya Chiu, Kaohsiung, Taiwan 802, R.O.C. 3. No. 195, Furen Rd., Lingya Chiu, Kaohsiung, Taiwan 802, R.O.C. |
| 三、<br>申請人<br>(共1人) | 名稱或姓名<br>(中文)        | 1. 日月光半導體製造股份有限公司  |
|                    | 名稱或姓名<br>(英文)        | 1. Advanced Semiconductor Engineering, Inc.  |
|                    | 國籍<br>(中英文)          | 1. 中華民國 TW   |
|                    | 住居所<br>(營業所)<br>(中文) | 1. 高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)  |
|                    | 住居所<br>(營業所)<br>(英文) | 1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.  |
|                    | 代表人<br>(中文)          | 1. 張慶生   |
|                    | 代表人<br>(英文)          | 1. Chang, Jason  |

經濟部委員會、本局係正依法辦理發明專利實質內容

567598

|   |                      |  |
|---|----------------------|--|
| 申請日期：   |                      | IPC分類  |
| 申請案號：   |                      |  |
| (以上各欄由本局填註)   |                      |  |
| <b>發明專利說明書</b>  |                      |  |
| 一、<br>發明名稱  | 中文                   |  |
|   | 英文                   |  |
| 二、<br>發明人<br>(共4人)  | 姓名<br>(中文)           | 4. 李政穎   |
|   | 姓名<br>(英文)           | 4. Lee, Cheng-Yin  |
|   | 國籍<br>(中英文)          | 4. 中華民國 TW   |
|   | 住居所<br>(中文)          | 4. 台南市育平七街2號6樓之3   |
|   | 住居所<br>(英文)          | 4. 6Fl. -3, No. 2, Yuping 7th St., Anping Chiu, Tainan, Taiwan 708, R.O.C. |
| 三、<br>申請人<br>(共1人)  | 名稱或<br>姓名<br>(中文)    |  |
|   | 名稱或<br>姓名<br>(英文)    |  |
|   | 國籍<br>(中英文)          |  |
|   | 住居所<br>(營業所)<br>(中文) |  |
|   | 住居所<br>(營業所)<br>(英文) |  |
|   | 代表人<br>(中文)          |  |
|   | 代表人<br>(英文)          |  |
|  |                      |  |

567598

## 四、中文發明摘要 (發明名稱：半導體晶片覆晶封裝構造)

一種半導體晶片覆晶封裝構造主要包含一晶片及一導線架。導線架具有一晶片承座及複數個導腳，晶片之主動表面具有複數個鐳墊。另外，複數個形成於該晶片鐳墊上之凸塊更分別與導腳及晶片承座電性連接。其中，與晶片承座電性連接之複數個凸塊，除可避免晶片設置於導線架時晶片之偏移外，更可提供晶片另一接地及導熱之途徑，以增加導腳傳遞晶片訊號之數目及加強晶片之散熱效果。同樣地，亦可將晶片鐳墊上之凸塊分別連接導線架之連接肋條及導腳，用以加強固定晶片於導線架上。

伍、(一)、本案代表圖為：圖4

(二)、本案代表圖之元件代表符號簡單說明：

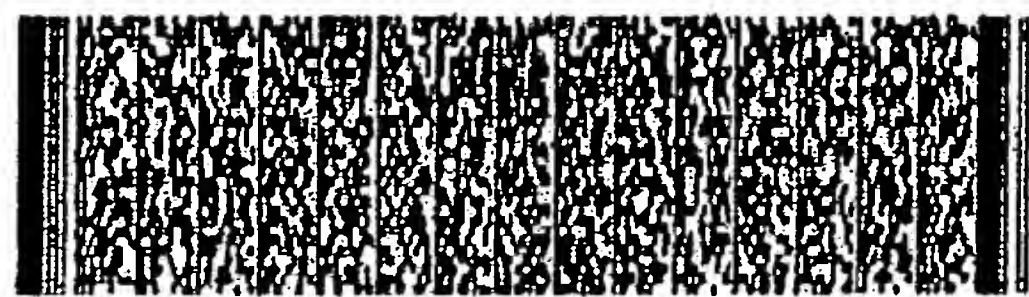
31 導線架

311 晶片承座

312 導腳

## 陸、英文發明摘要 (發明名稱：FLIP CHIP SEMICONDUCTOR PACKAGE)

A flip chip semiconductor package mainly comprises a semiconductor chip and a lead frame having a die pad and a plurality of leads. The semiconductor chip has an active surface and a plurality of pads formed thereon. A plurality of bumps are formed on the pads and electrically connected with the leads and the die pad in order to prevent the die from shifting and provide another path for thermal



567598

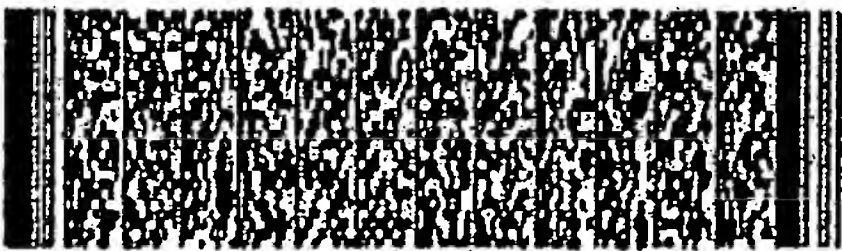
四、中文發明摘要 (發明名稱：半導體晶片覆晶封裝構造)

312a 第一凹部

312b 第二凹部

陸、英文發明摘要 (發明名稱：FLIP CHIP SEMICONDUCTOR PACKAGE)

dissipation and transmitting ground signals.  
Similarly, the bumps also can connect with the leads and tie bars in order to affix the die onto the lead frame more firmly.



567598

## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



567598

## 五、發明說明 (I)

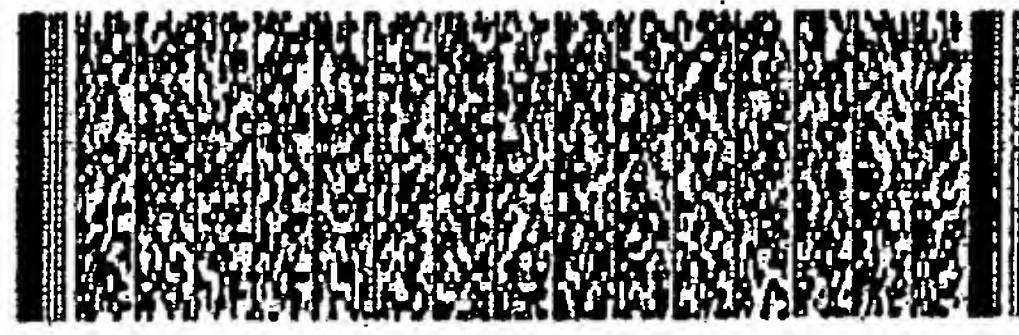
## 【發明領域】

本發明係關於一種半導體晶片覆晶封裝構造，尤關於一種應用於導線架之覆晶封裝構造。

## 【習知技術】

由於價格低廉、可靠性高，導線架封裝構造在積體電路封裝領域已使用很長一段時間。然而，隨著積體電路產品永無止境地快速化以及縮小化，傳統的導線架封裝構造已漸漸過時，至少就某些講究效能的積體電路產品而言。因此，球格陣列封裝構造(ball grid array, BGA)以及晶片尺寸級封裝(chip scale package, CSP)已漸漸成為新的選擇。BGA 被廣泛應用在具有高接腳數(I/Os)之晶片，以及需要較佳電性以及熱效能者。CSP 亦已廣泛使用在可攜式產品，封裝體積以及重量為其主要考量。

然而，導線架封裝構造對於低接腳數(I/Os)晶片仍具有相當的市場佔有率，因為其提供具成本效益之解決方案。由於具有相當長的內接腳(inner lead)以及外接腳(outer lead)，傳統的導線架封裝構造無法提供晶片尺寸級、低封裝體積的解決方案。因此半導體封裝業界發展出一種無外引腳封裝構造(leadless package)藉此大幅縮小封裝體積。請參照圖1及圖2，圖1為習用無外引腳封裝構造100，其係包含一導線架110、一晶片120、一封膠體130及一導電線140。該導線架110具有複數條導腳110a、一晶片承座110b及四個連接肋條(tie bar)110c，而連接肋條



567598

## 五、發明說明 (2)

(tie bar)110c 係與該晶片承座110b相連結(如圖2所示)。另外，晶片120係以一黏著層150設置於該導線架110之晶片承座110b上，並藉導電線140與導線架110之導腳110a電性連接，而封膠體130係包覆該導線架110、晶片120及導電線140。

由於該無外引腳封裝構造100之晶片承座110b係裸露於該封裝構造底部，故可提供較佳之散熱效率。再者，由於引線長度減小而導致的電阻、電感、電容相對減小，故該無外引腳封裝構造100非常適合於在數十億赫(several GigaHertz)至數百億赫(tens of GigaHertz)運作之高頻封裝構造，也因此無外引腳封裝亦成為極具價格競爭力之封裝技術。上述之特性使得無外引腳封裝非常適用於通訊產品(例如行動電話)、可攜式產品(例如個人數位助理(PDA))、數位相機以及資訊家電(IA)。

習知的無外引腳封裝仍是利用傳統之打線方式以電連接導線架，故訊號藉由引線傳導時，仍會導致較高之阻抗，尤其在高頻訊號之傳輸時，此阻抗效應會更加明顯，鑑於此封裝業界發展出以覆晶方式藉由凸塊(bump)將晶片與導線架電連接以減少阻抗影響之封裝構造。然而傳統之導線架覆晶封裝構造中，由於晶片黏設於導線架之晶片承座時，常會有晶片位移及錯位現象導致晶片凸塊與導線架之導腳接觸不良，更甚者因為晶片之傾斜而導致晶片受力不均，造成晶片之破壞。

因此，如何使晶片精確地設置於導線架上，防止上述



567598

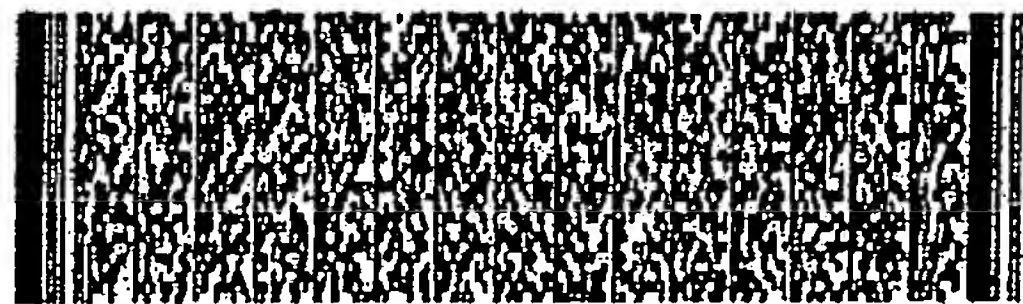
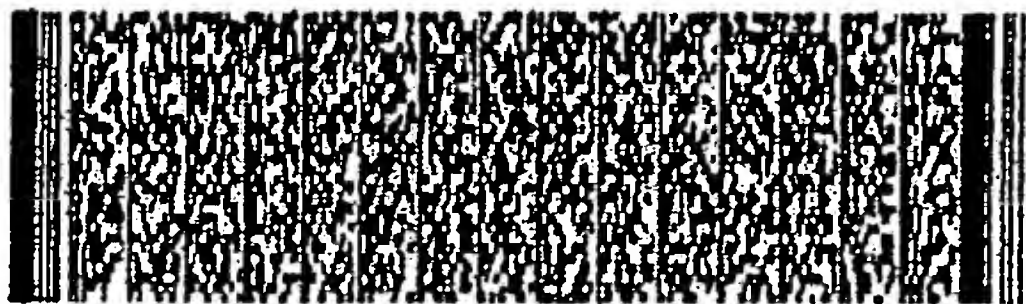
## 五、發明說明 (3)

問題之發生，並據以達成半導體晶片封裝構造之良好實為一重要的課題。

## 【發明概要】

鑑於上述課題，本發明之目的係提供一種可使晶片精確地設置於導線架上，達到良好封裝品質之半導體晶片封裝構造。

而，為達上述目的，本發明係提供一種半導體晶片覆晶封裝構造，其主要包含一晶片及一導線架。該導線架具有一晶片承座及複數個導腳，複數個鐳墊形成於該晶片之主動表面上且複數個凸塊係形成於該晶片鐳墊上。另外，複數個設置於該晶片鐳墊上之凸塊更分別與導腳及晶片承座電性連接。其中，與晶片承座電性連接之複數個凸塊，除可避免晶片設置於導線架時晶片之偏移外，更可提供晶片另一接地及導熱之途徑，以增加導腳傳遞晶片訊號之數目及加強晶片之散熱效果。再者，至少複數個導腳之一具有一第一凹部，且該晶片承座對應於晶片鐳墊處至少形成一第二凹部。由於該晶片承座具有第一凹部且該導腳具有第二凹部，故晶片設置於導線架時，複數個凸塊能緊密地嵌合於該凹部中，除可防止因晶片之移動及錯位而導致晶片凸塊與導線架之導腳接觸不良，更可減少因晶片傾斜而造成晶片受力不均勻導致其破壞之問題。此外，亦可設置複數個凹部於導線架之連接肋條上，用以進一步固定晶片於導線架上，以解決上述之課題。





567598

## 五、發明說明 (4)

此外，於本發明中，亦可藉由與晶片承座或連接肋條連接之凸塊，提供另一接地及導熱之途徑，以增加晶片傳遞訊號之接腳數目及加強晶片之散熱效果。

## 【較佳實施例之詳細說明】

以下請參考相關圖式，以說明本發明較佳實施例之半導體晶片覆晶封裝構造。

如圖3所示，揭示本發明之第一較佳實施例。一半導體晶片覆晶封裝構造主要包括一導線架31、一半導體晶片32及複數個凸塊33。凸塊33包含有第一凸塊331及第二凸塊332。該導線架31具有一晶片承座(die pad)311及複數個導腳(leads)312設於該晶片承座311之週邊(請參考圖4)。其中，晶片承座311具有複數個第一凹部312a(dimple)，而導腳312具有一第二凹部312b。該第一凹部312a及第二凹部312b除可由沖壓(punch)成型外，更可利用半蝕刻(half-etching)方式形成。另外，半導體晶片32具有一主動表面321，複數個第一鉀墊321a及第二鉀墊321b形成於主動表面321上，複數個第一凸塊331及第二凸塊332分別形成於對應之第一鉀墊321a及第二鉀墊321b上。半導體晶片32之主動表面321係面對導線架31配置，且藉凸塊33以覆晶接合之方式與導線架31連接。

如上所述之凸塊可為導電凸塊(conductive bump)或導熱凸塊(thermal bump)，如金凸塊(gold bump)、鉀錫凸塊(solder bump)、鉀球(solder ball)或其他等效之



567598

## 五、發明說明 (5)

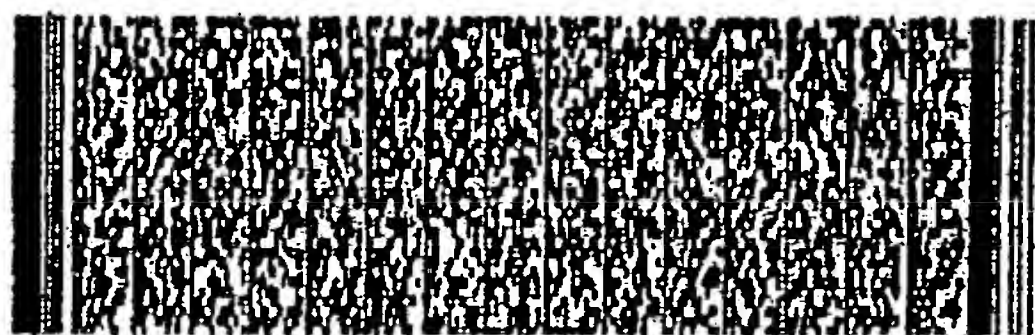
導電高分子凸塊(conductive polymer bump)或導熱高分子材料凸塊(thermal polymer bump)。金凸塊可由傳統之打線方式形成，鐳錫凸塊可藉由電鍍(plating)或網版印刷(screen printing)的方式形成於對應之晶片鐳墊上之球底金屬層表面，再經迴鐳(reflow)形成鐳錫凸塊。

承上所述，至少一該等第一凹部312a係形成於對應該等第一鐳墊321a之該晶片承座311上且與對應之該等第一凸塊331相互連接。再者，至少該等導腳312之一具有至少一第二凹部312b且與對應之該等第二凸塊332相互連接。

由於晶片承座311具有第一凹部312a且該導腳312具有第二凹部312b，故晶片32設置於導線架31時，複數個第一凸塊331及第二凸塊332能緊密地嵌合於該對應之第一凹部312a及第二凹部312b中，除可防止因晶片之偏移及錯位而導致晶片凸塊與導線架之導腳接觸不良，更可減少因晶片之偏移及錯位造成晶片之傾斜，而造成晶片受力不均勻導致其破壞之問題。

此外，亦可於第一凹部312a及第二凹部312b先填充黏著膠(未標示於圖中)，以使第一凸塊331及第二凸塊332能更緊密地與導線架31連結。其中，該黏著膠可為導電性黏著膠或導熱性黏著膠。由於晶片32常因外界潮濕之環境而影響其效能，故可於晶片32及導線架31間之空隙填充塑料(compound)或等效之填充體34以防止水氣之滲入。另外，亦可以填充塑料34包覆該晶片32使晶片背面322外露之。

再者，該第一凸塊331亦可為一導電凸塊，如金凸塊



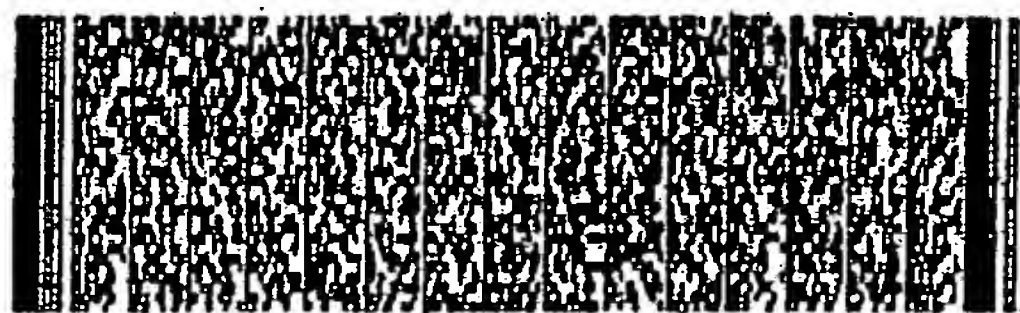
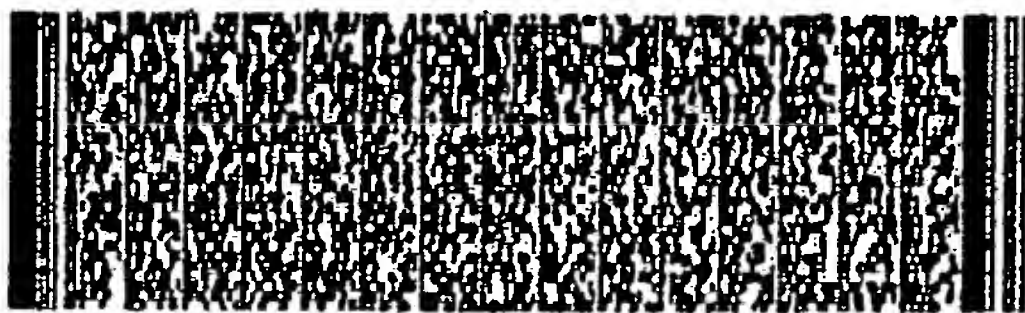
567598

## 五、發明說明 (6)

(gold bump) 或鉚錫凸塊(solder bump)，如此可藉由第一凸塊331與晶片承座311電性連接，以提供晶片32另一接地及導熱之途徑，以增加導腳312傳遞晶片訊號之數目及加強晶片之散熱效果。

另外，如圖5所示，揭示本發明之第二較佳實施例。為加強散熱效果，可於晶片背面322上設置一散熱片35後，將填充塑料34包覆該晶片32及該散熱片35，以使散熱片35外露之，如此可進一步藉由散熱片35將晶片32所產生之熱量傳遞之外界。請參照圖6，係本發明之第三較佳實施例。承上所述，亦可於塑料34包覆該晶片32後，另設置一導熱層36於晶片背面322及塑料34固化後所形成之封膠體表面上，並藉由該導熱層36將散熱片35固著於其上，以提升封裝體之散熱能力。

請參照圖7，其揭示本發明之第四較佳實施例。一半導體晶片覆晶封裝構造主要包括一導線架41、一半導體晶片42及複數個凸塊43。凸塊43包含有第一凸塊431及第二凸塊432。該導線架41具有一晶片承座(die pad)411、複數個連接肋條413(tie bar)及複數個導腳412設於該晶片承座411之週邊(請參考圖8)。連接肋條413具有複數個第一凹部412a，而導腳412具有一第二凹部412b。半導體晶片42具有一主動表面421，複數個第一鉚墊421a及第二鉚墊421b形成於主動表面421上，複數個第一凸塊431及第二凸塊432分別形成於對應之第一鉚墊421a及第二鉚墊421b上。半導體晶片42之主動表面421係面對導線架41配置，





567598

## 五、發明說明 (7)

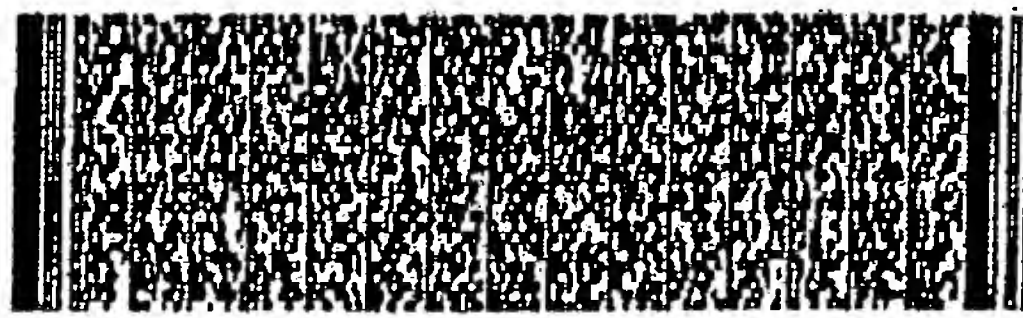
且藉凸塊43以覆晶接合之方式於導線架41相連接。

其中，至少一該等第一凹部412a係形成於對應該等第一鐳墊421a之該連接肋條413上且與對應之該等第一凸塊431相互連接。再者至少該等導腳412之一具有至少一第二凹部412b且與對應之該等第二凸塊432相互連接。由於連接肋條413具有第一凹部412a且該導腳412具有第二凹部412b，故晶片42設置於導線架41時，複數個第一凸塊431及第二凸塊432能緊密地嵌合於該對應之第一凹部412a及第二凹部412b中，除可防止因晶片之移動及錯位而導致晶片凸塊與導線架之導腳接觸不良，更可減少因晶片之偏移及錯位造成晶片之傾斜，而造成晶片受力不均匀導致其破壞之問題。

此外，亦可於第一凹部412a及第二凹部412b先填充黏著膠(未標示於圖中)，以使第一凸塊431及第二凸塊432能更緊密地與導線架41連結。其中，該黏著膠可為導電性黏著膠或導熱性黏著膠。由於晶片42常因外界潮濕之環境而影響其效能，故可於晶片42及導線架41間之空隙填充異方性導電膠或等效之填充體44以防止水氣之滲入。

再者，該第一凸塊431亦可為一導電凸塊，如金凸塊(gold bump)或鐳錫凸塊(solder bump)，如此可藉由第一凸塊431與連接肋條413電性連接，以提供晶片32另一接地及導熱之途徑，以增加導腳412傳遞晶片訊號之數目及加強晶片之散熱效果。

另外，如圖9所示，揭示本發明之第五較佳實施例。



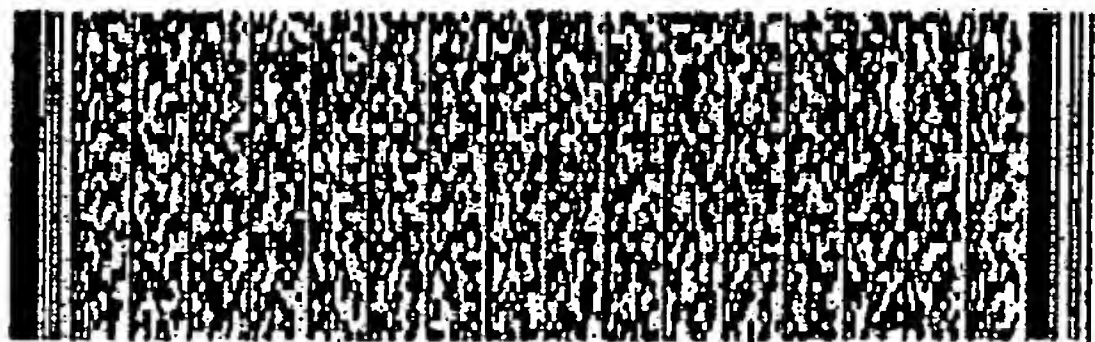


567598

## 五、發明說明 (8)

為加強散熱效果，可於晶片背面422上設置一散熱片45後，將填充塑料44包覆該晶片42及該散熱片45，以使散熱片45外露之，如此可進一步藉由散熱片45將晶片42所產生之熱量傳遞之外界。請參照圖10，係本發明之第六較佳實施例。承上所述，亦可於塑料44包覆該晶片32後，另設置一導熱層46於晶片背面422及塑料44固化後所形成之封膠體表面上，並藉由該導熱層46將散熱片45固著於其上，以提升封裝體之散熱能力。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



567598

## 圖式簡單說明

## 【圖式之簡單說明】

圖1為一示意圖，顯示習知無外引腳封裝構造之下視圖。

圖2為一示意圖，顯示習知無外引腳封裝構造之剖示圖。

圖3為一剖面示意圖，顯示本發明第一較佳實施例之半導體晶片覆晶封裝構造。

圖4為一示意圖，繪示對應於圖3中導線架構造。

圖5為一剖面示意圖，顯示本發明第二較佳實施例之半導體晶片覆晶封裝構造。

圖6為一剖面示意圖，顯示本發明第三較佳實施例之半導體晶片覆晶封裝構造。

圖7為一剖面示意圖，顯示本發明第四較佳實施例之半導體晶片覆晶封裝構造。

圖8為一示意圖，繪示對應於圖7中導線架構造。

圖9為一剖面示意圖，顯示本發明第五較佳實施例之半導體晶片覆晶封裝構造。

圖10為一剖面示意圖，顯示本發明第六較佳實施例之半導體晶片覆晶封裝構造。

## 【圖式符號說明】

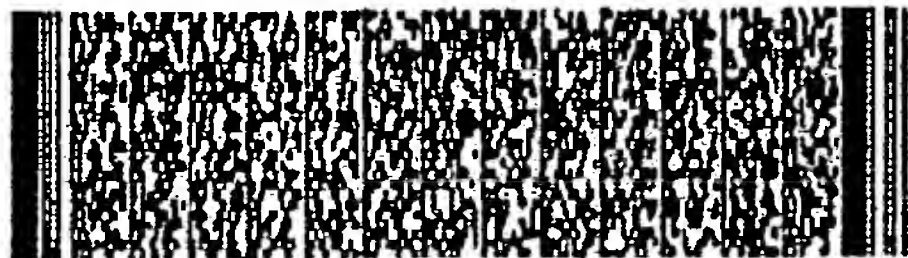
100 無外引腳封裝構造  
110 導線架  
110a 導腳



567598

## 圖式簡單說明

110b 晶片承座  
110c 連接肋條  
120 半導體晶片  
130 封膠體  
140 導電線  
31 導線架  
311 晶片承座  
312 導腳  
312a 第一凹部  
312b 第二凹部  
32 半導體晶片  
321 主動表面  
321a 第一鐳墊  
321b 第二鐳墊  
322 背面  
33 凸塊  
331 第一凸塊  
332 第二凸塊  
34 填充體(塑料)  
35 散熱片  
36 導熱層  
41 導線架  
411 晶片承座  
412 導腳



567598

## 圖式簡單說明

- 412a 第一凹部
- 412b 第二凹部
- 413 連接肋條
- 42 半導體晶片
- 421 主動表面
- 421a 第一鐳墊
- 421b 第二鐳墊
- 422 背面
- 43 凸塊
- 431 第一凸塊
- 432 第二凸塊
- 44 填充體(塑料)
- 45 散熱片
- 46 導熱層





567598

## 六、申請專利範圍

1. 一種半導體晶片覆晶封裝構造，包含：

一導線架，該導線架具有一晶片承座及複數個導腳；

一半導體晶片，具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個第一鐳墊及第二鐳墊；及

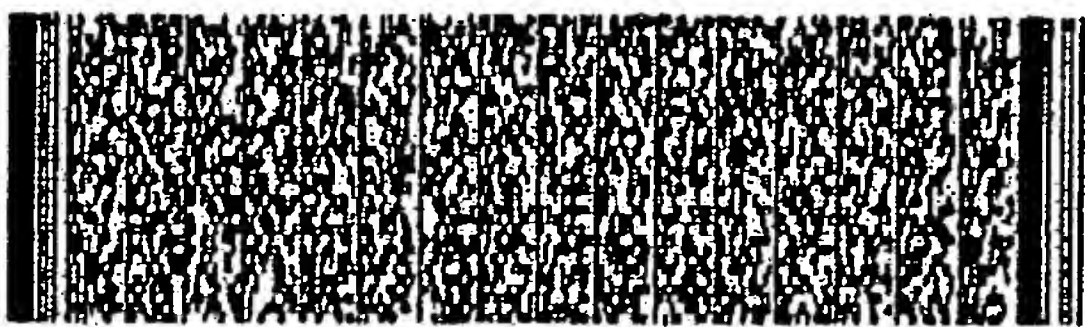
複數個第一凸塊及第二凸塊，該等第一凸塊及第二凸塊係分別設於對應之該等第一鐳墊及第二鐳墊上，該半導體晶片係以該主動表面面向該導線架配置，且該等第一凸塊及該等第二凸塊係分別連接於該晶片承座及該等導腳上。

2. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，其中至少一第一凹部形成於該晶片承座。

3. 如申請專利範圍第2項之半導體晶片覆晶封裝構造，其中至少一該等第一凹部係形成於對應該等第一鐳墊之該晶片承座上且與對應之該等第一凸塊相互連接。

4. 如申請專利範圍第3項之半導體晶片封裝構造，更包含：一第一黏著膠，該第一黏著膠係填充於該第一凹部內以連接該等第一凹部與對應之該等第一凸塊。

5. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，其中至少該等導腳之一具有至少一第二凹部且與對應之該等



567598

## 六、申請專利範圍

第二凸塊相互連接。

6. 如申請專利範圍第5項之半導體晶片覆晶封裝構造，更包含：

一 第二黏著膠，該第二黏著膠係填充於該第二凹部內以連接該等第二凹部與對應之該等第二凸塊。

7. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，其中該等第一凸塊係為一導電凸塊。

8. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，其中該等第二凸塊係為一導電凸塊。

9. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，其中該等第一凸塊係為一導熱凸塊。

10. 如申請專利範圍第7項之半導體晶片覆晶封裝構造，其中該等第一凸塊係為一鐳球。

11. 如申請專利範圍第8項之半導體晶片覆晶封裝構造，其中該等第二凸塊係為一鐳球。

12. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，更包含：



567598

## 六、申請專利範圍

一填充體，其係至少填充於該半導體晶片之主動表面與該導線架之間。

13. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，更包含：

一散熱片，係設置於該晶片背面上。

14. 如申請專利範圍第13項之半導體晶片覆晶封裝構造，更包含：

一導熱層，係設置於該晶片背面與該散熱片間。

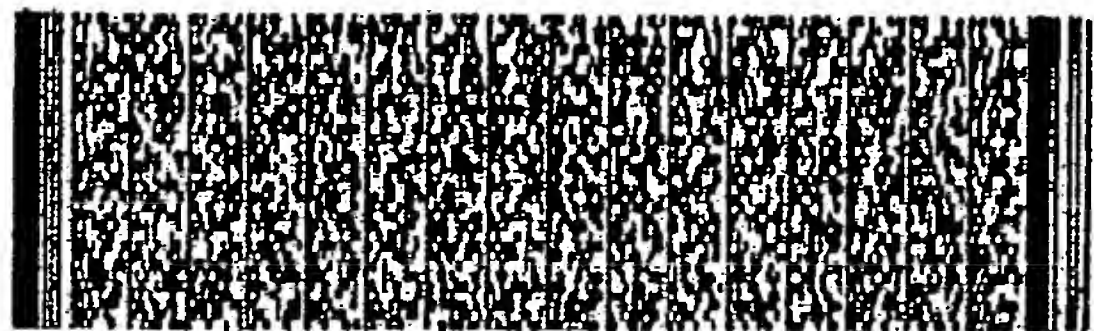
15. 如申請專利範圍第1項之半導體晶片覆晶封裝構造，其中：該等導腳係設於該晶片承座之週邊

16. 一種半導體晶片覆晶封裝構造，包含：

一導線架，該導線架具有一晶片承座、複數個導腳及至少一連接肋條，該等連接肋條係與該晶片承座連接；

一半導體晶片，具有一主動表面及相對於該主動表面之一背面，該主動表面上具有複數個第一鐳墊及第二鐳墊；及

複數個第一凸塊及第二凸塊，該等第一凸塊及第二凸塊係分別設於對應之該等第一鐳墊及第二鐳墊上，該半導體晶片係以該主動表面面向該導線架配置，且該等第一凸塊及該等第二凸塊係分別連接於該等連接肋條及該等導



567598

## 六、申請專利範圍

腳上。

17. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，其中至少一第一凹部形成於該等連接肋條上。

18. 如申請專利範圍第17項之半導體晶片覆晶封裝構造，其中至少一該等第一凹部係形成於對應該等第一鐳墊之該等連接肋條上且與對應之該等第一凸塊相互連接。

19. 如申請專利範圍第18項之半導體晶片封裝構造，更包含：

一第一黏著膠，該第一黏著膠係填充於該第一凹部內以連接該等第一凹部與對應之該等第一凸塊。

20. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，其中至少該等導腳之一具有至少一第二凹部且與對應之該等第二凸塊相互連接。

21. 如申請專利範圍第20項之半導體晶片覆晶封裝構造，更包含：

一第二黏著膠，該第二黏著膠係填充於該第二凹部內以連接該等第二凹部與對應之該等第二凸塊。

22. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，





567598

## 六、申請專利範圍

其中該等第一凸塊係為一導電凸塊。

23. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，其中該等第二凸塊係為一導電凸塊。

24. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，其中該等第一凸塊係為一導熱凸塊。

25. 如申請專利範圍第22項之半導體晶片覆晶封裝構造，其中該等第一凸塊係為一鐳球。

26. 如申請專利範圍第23項之半導體晶片覆晶封裝構造，其中該等第二凸塊係為一鐳球。

27. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，更包含：  
一填充體，其係至少填充於該半導體晶片之主動表面與該導線架之間。

28. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，更包含：  
一散熱片，係設置於該晶片背面上。

29. 如申請專利範圍第28項之半導體晶片覆晶封裝構造，



567598

## 六、申請專利範圍

更包含：

一導熱層，係設置於該晶片背面與該散熱片間。

30. 如申請專利範圍第16項之半導體晶片覆晶封裝構造，  
其中：該等導腳係設於該晶片承座之週邊。



567598

A9  
B9  
C9  
D9

圖式

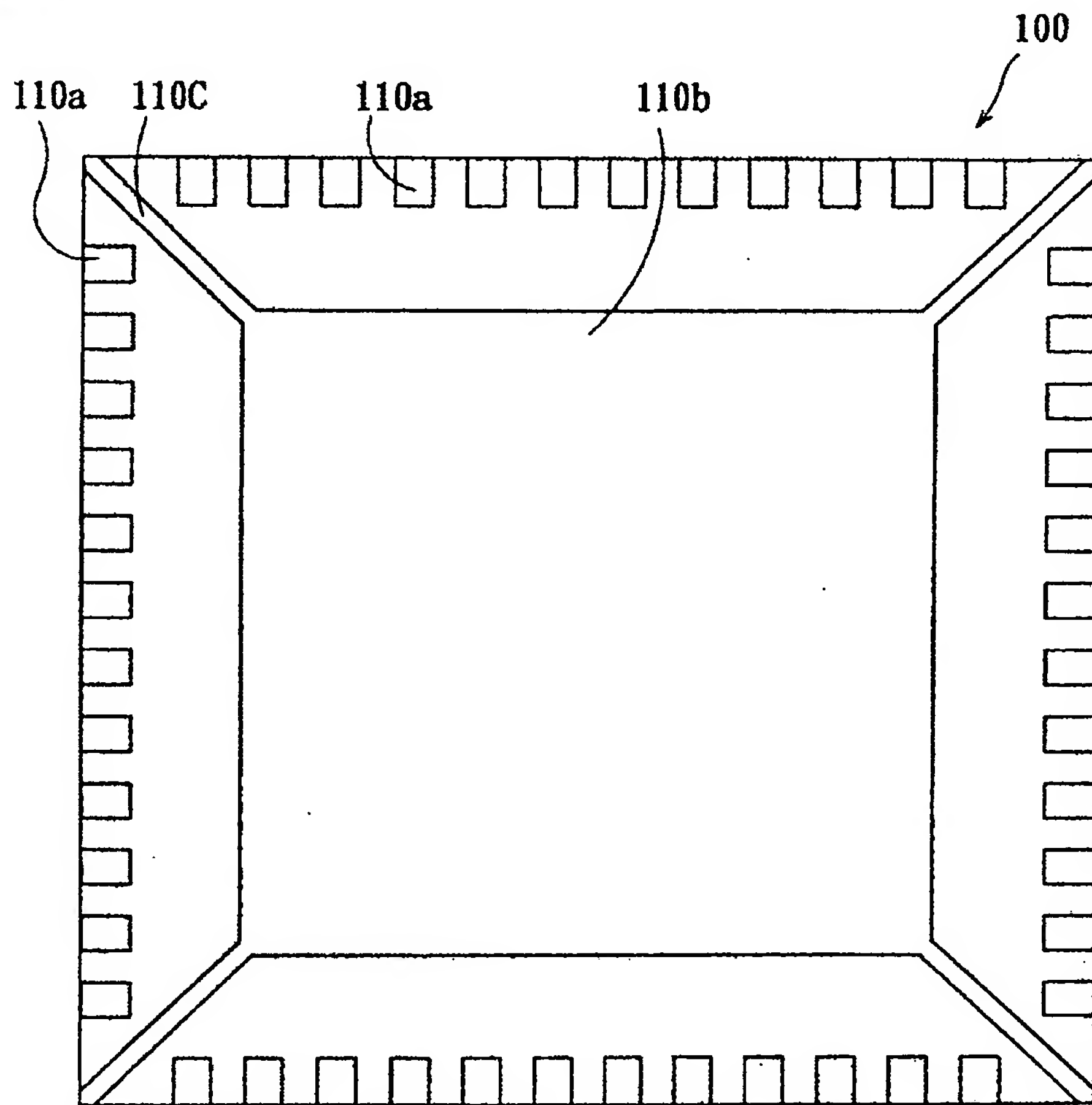


圖1

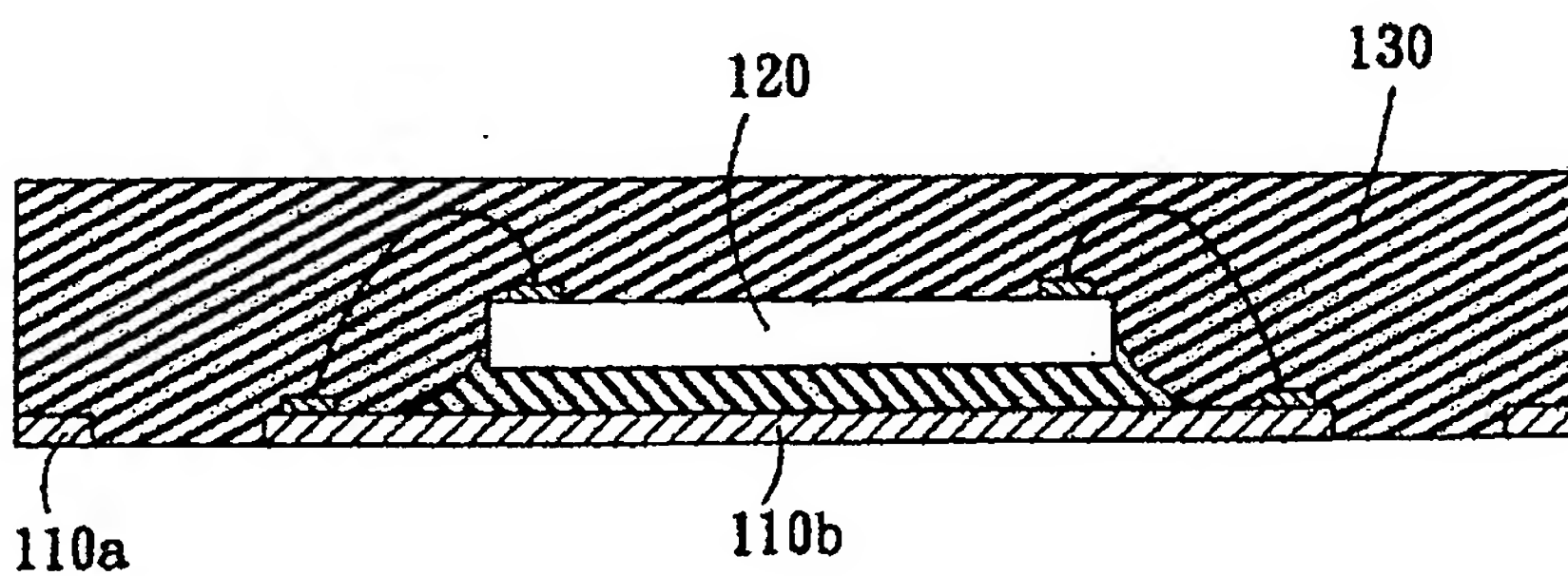


圖2

本紙張尺度適用中國國家標準(CNS) A4規格(210 × 297公釐)  
第 / 頁

567598

A9  
B9  
C9  
D9

圖式

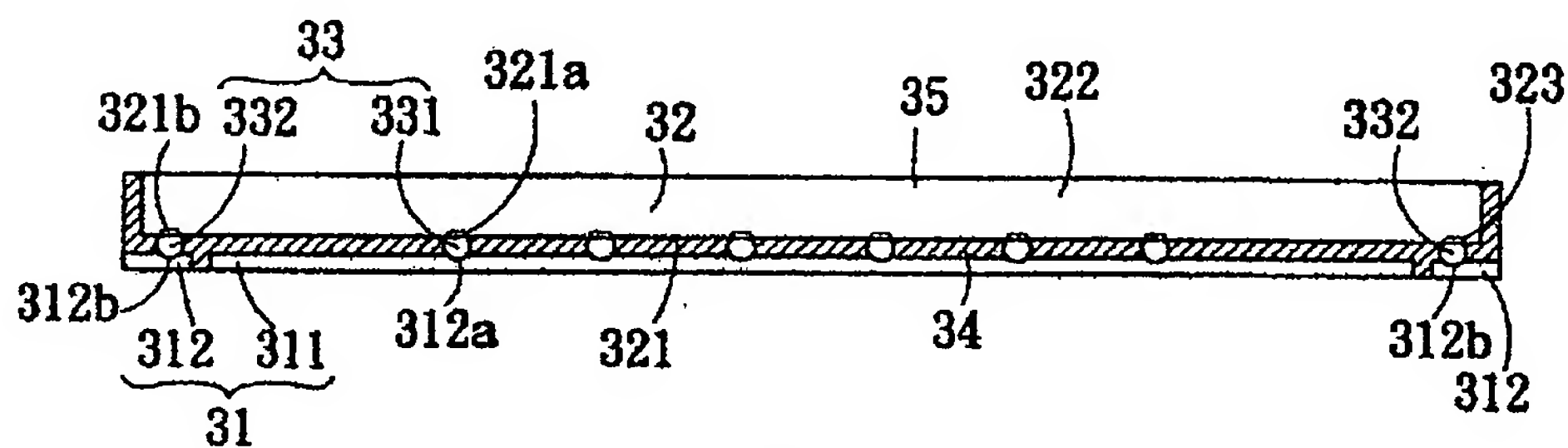


圖3

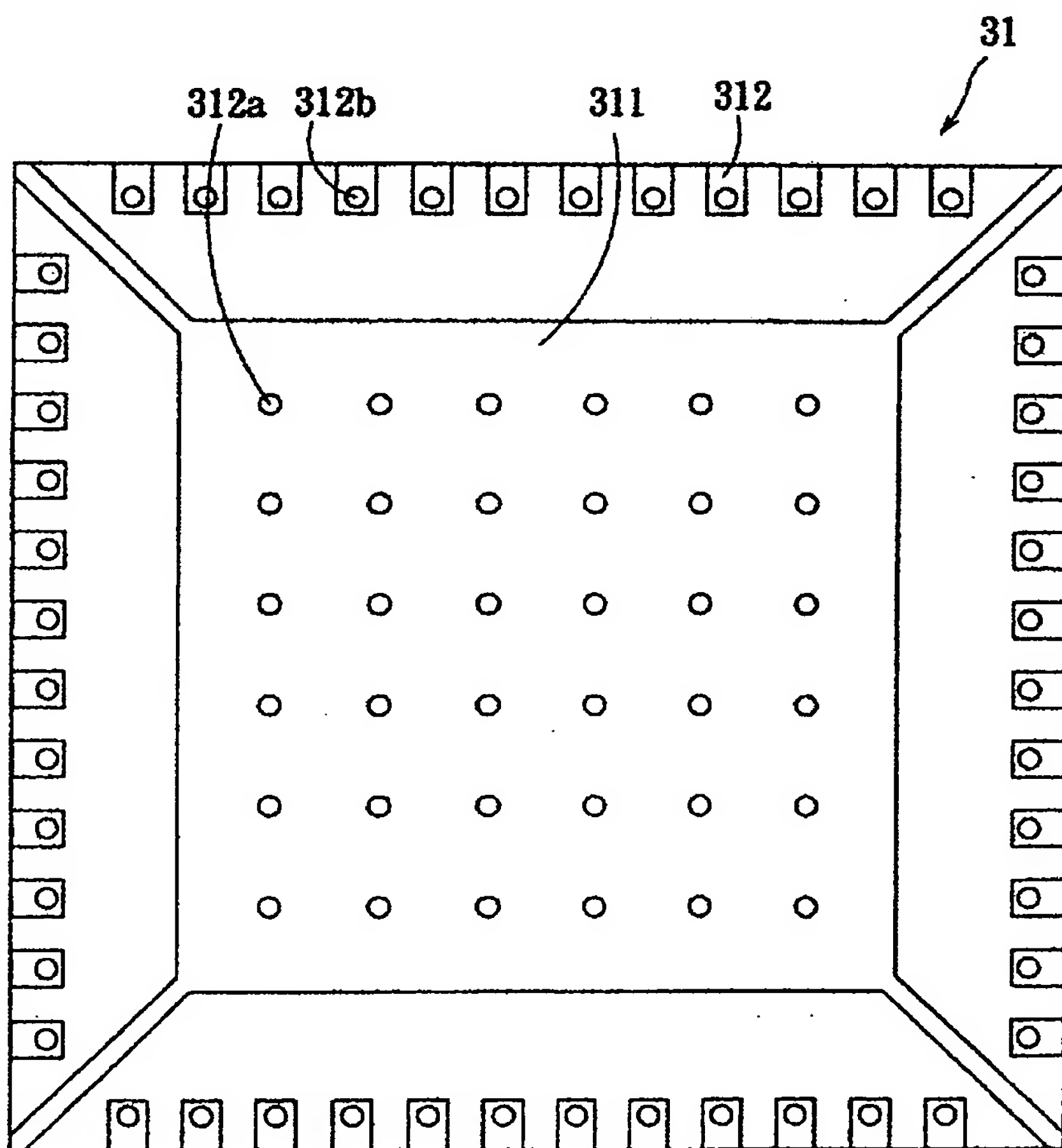


圖4

本紙張尺度適用中國國家標準(CNS) A4規格(210 × 297公釐)

第 2 頁





567598

A9  
B9  
C9  
D9

圖式

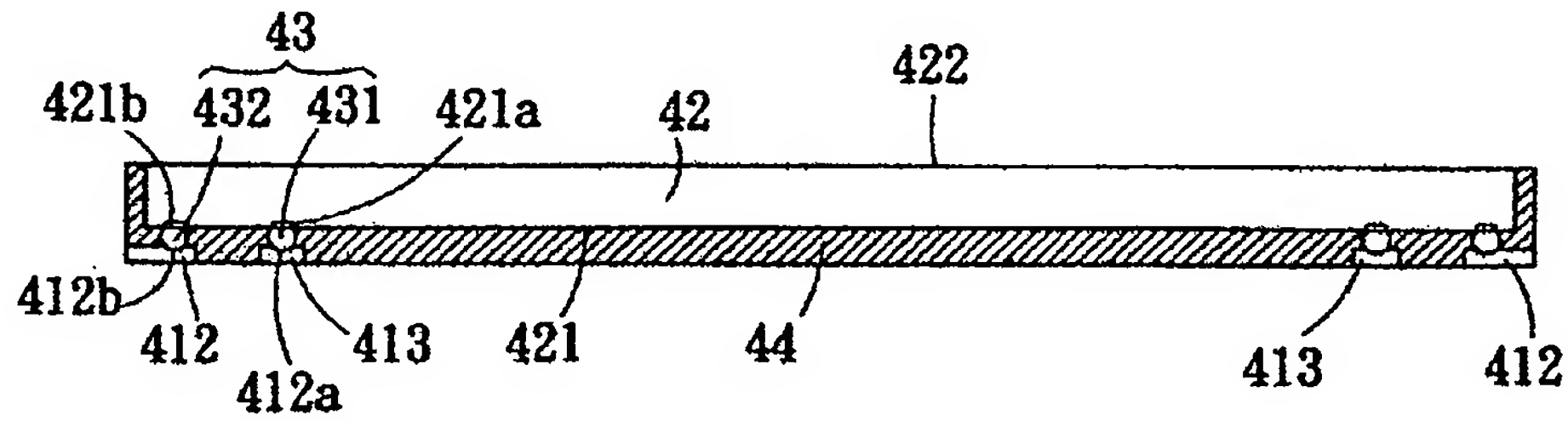


圖7

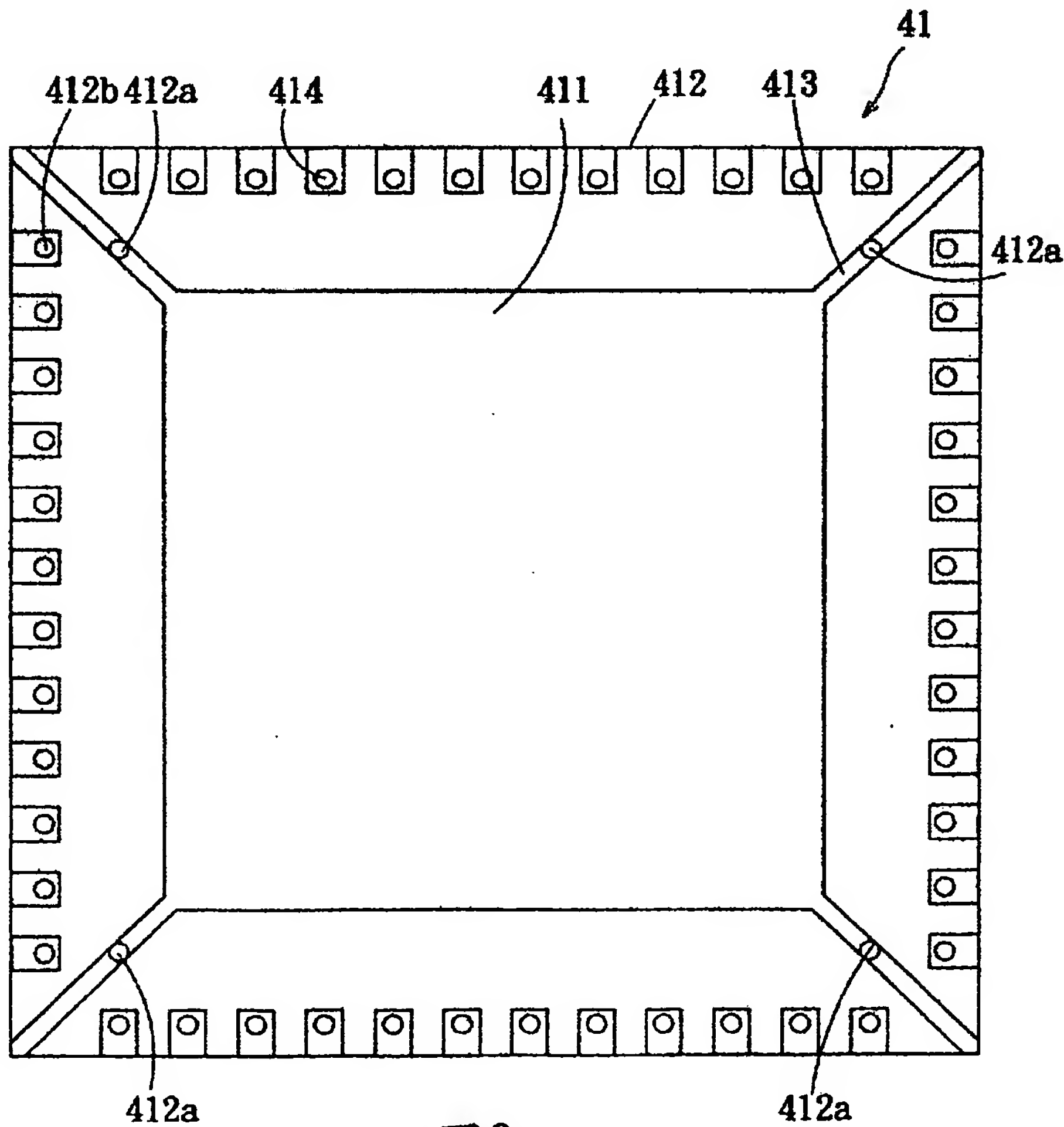


圖8

本紙張尺度適用中國國家標準(CNS) A4規格(210 × 297公釐)

第 4 頁

567598

A9  
B9  
C9  
D9

圖式

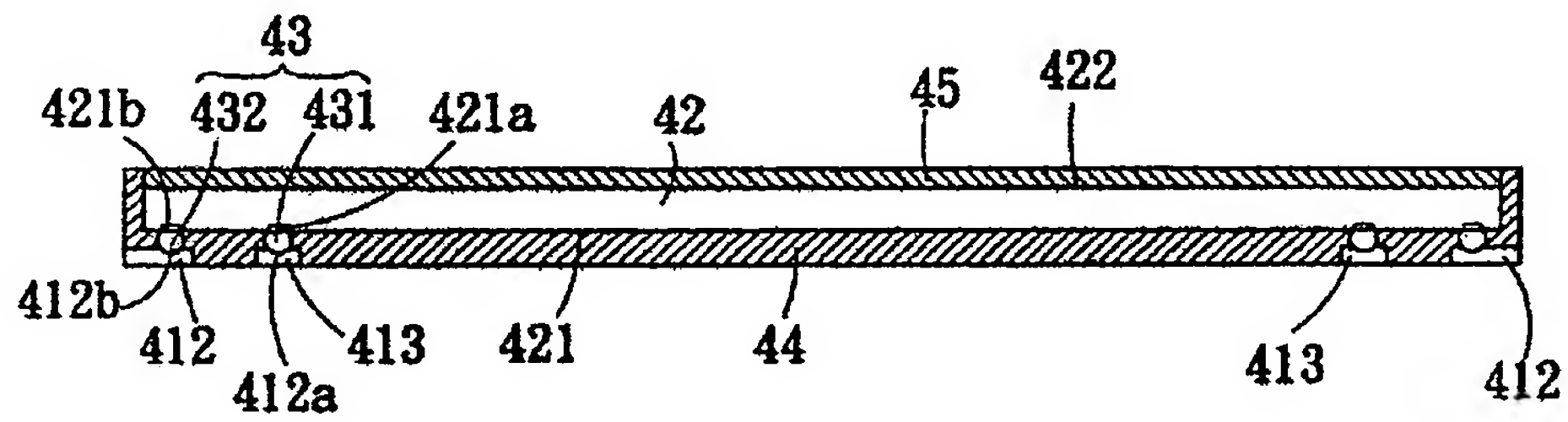


圖9

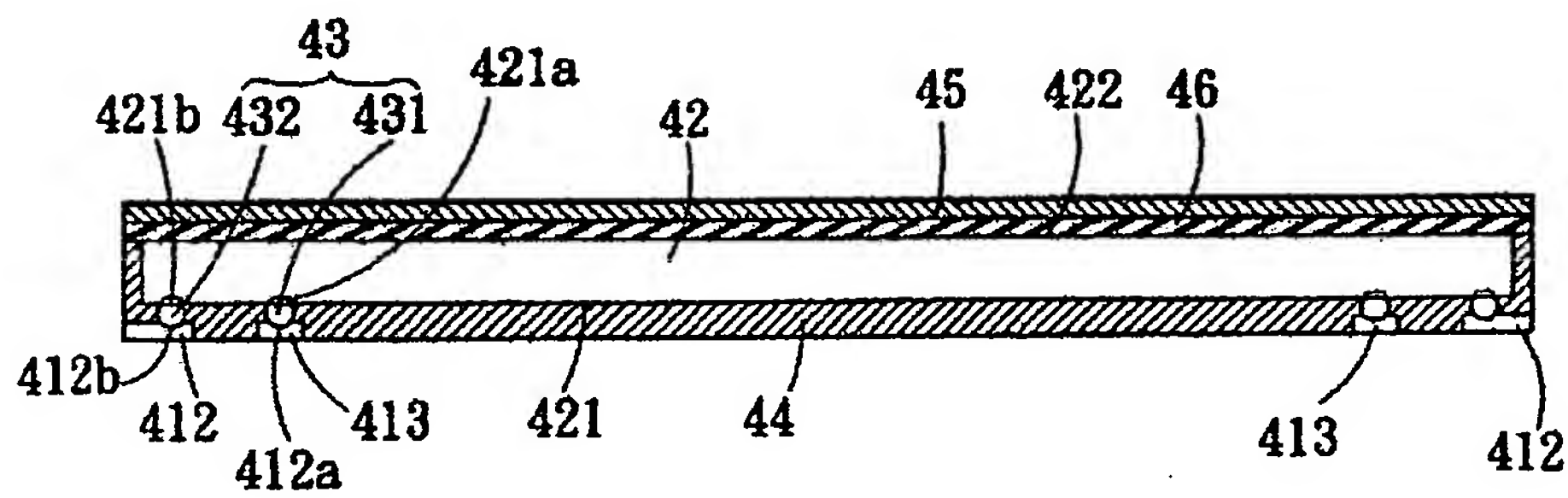


圖10